

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-086774

(43)Date of publication of application : 31.03.1989

(51)Int.CI.

H04N 5/66
G02F 1/133
G09G 3/36

(21)Application number : 62-245489

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.1987

(72)Inventor : SAKAMOTO TSUTOMU
MURAKAMI MASAHIRO

(54) MATRIX DRIVING DISPLAY DEVICE

(57)Abstract:

PURPOSE: To accurately display an image and to prevent deterioration in a liquid crystal from being generated by storing the delayed time of the (m)th horizontal scanning period of a certain field from a vertical synchronous pulse, and supplying a video signal to the row of an odd line sequentially from a first line in that field and to the row of an even line in the next field.

CONSTITUTION: A control circuit 35 detects and holds time information from a vertical synchronous pulse VD to an (m)th horizontal scanning period in the certain field, And in the next field, a horizontal synchronous pulse HD behind an (m+1)th horizontal scanning period from the pulse VD is supplied to a driving circuit 34 as a clock Y-SCK2 according to the time information. Therefore, in the field where a clock Y-SCK1 is outputted, the video signal is supplied to an image element on an odd row. Meanwhile, in the field where the clock Y-SCK2 is outputted, the video signal is supplied to the image element on an even row. In such a way, it is possible to display the image stably, and to prevent the deterioration in the liquid crystal from being generated.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

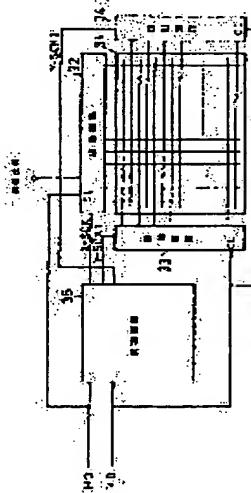
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]



⑪ 公開特許公報 (A) 昭64-86774

⑫ Int.Cl.
H 04 N 5/66
G 02 F 1/133
G 09 G 3/36

識別記号
3 3 2

府内整理番号
B-7605-5C
8708-2H
8621-5C

⑬ 公開 昭和64年(1989)3月31日
審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 マトリクス駆動表示装置

⑮ 特願 昭62-245489
⑯ 出願 昭62(1987)9月29日

⑰ 発明者 坂本務 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

⑱ 発明者 村上正治 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

⑲ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代理人 弁理士鈴江武彦 外2名

明細書

1. 発明の名称

マトリクス駆動表示装置

2. 特許請求の範囲

別方向の複数の電極線と行方向の複数の電極線の各交点に画素を配置してなるマトリクス状表示部と、

このマトリクス状表示部の別方向の画素を駆動する列駆動手段と、

水平周期の第1のクロックに従って上記マトリクス状表示部の行方向の画素のうち、奇数行の画素を順次駆動する第1の行駆動手段と、

水平周期の第2のクロックに従って上記マトリクス状表示部の行方向の画素のうち、偶数行の画素を順次駆動する第2の行駆動手段と、

第1のフィールドに於いて、垂直同期パルスからm(mは正の整数)番目の水平走査期間以降の水平同期パルスを上記第1のクロックとして上記第1の行駆動手段に供給する第1のクロック供給手段と、

上記第1のフィールドに於ける上記垂直同期パルスから上記m番目の水平走査期間までの時間情報を検出する時間情報検出手段と、

この時間情報検出手段によって検出された時間情報を保持する時間情報保持手段と、

第2のフィールドに於いて、上記時間情報保持手段に保持された時間情報に従って、(m+1)番目の水平走査期間以降の水平同期パルスを上記第2のクロックとして上記第2の行駆動手段に供給する第2のクロック供給手段とを具備するよう構成されていることを特徴とするマトリクス表示駆動装置。

3. 発明の詳細な説明

【発明の目的】

【産業上の利用分野】

この発明は、液晶、プラズマ、EL、蛍光素子等によって構成された画素をマトリクス状に配列してなる画素を画像表示駆動するためのマトリクス駆動表示装置に関する。

(従来の技術)

近年、テレビジョン受像機、コンピュータ装置、情報端末装置等の画像表示装置に於いては、表示部として、ブラウン管の代わりに、液晶、プラズマ、EL、蛍光蒸素等によって構成される画素を複数マトリクス状に配置してなる平面状パネルが使用されることが多くなってきた。

第6図に、例えば、テレビジョン受像機に於いて、表示部として液晶を使った平面状パネル（以下、液晶パネルと記す）を使った場合のこの液晶パネルを画像表示駆動する従来のマトリクス駆動表示装置の構成を示す。

第6図に於いて、11は液晶パネルである。この液晶パネル11は横（行方向）横（列方向）に複数の電極を有し、各電極の交点に画素が配置されている。12は列方向（X）の駆動回路であり、液晶パネル11の列方向の画素数分の出力端子を有する。各出力端子は、液晶パネル11の列方向の電極線にそれぞれ接続されている。13は行方向（Y）の駆動回路であり、液晶パネル11の行

平同期で順次1ライン下の行に供給されることになり、1枚の絵が形成されることになる。1番下の電極線の駆動が済むと、駆動回路13は垂直駆動バルスVDによってリセットされた後、再び、同じ処理を行なう。

ところで、上記液晶パネル11としては、従来、製造プロセス上の歩留りやコスト等の問題で、テレビジョン受像機用の量産品として使う場合は、対角3～4インチ程度のものが使われている。また、画素数としては、各画素の大きさによるきめの細かさやコスト上の問題から、一般に、列方向で300～500、行方向で200～240に設定される。この場合、表示はノンインターレース方式に従って行われる。このノンインターレース方式の表示はインターレース方式の表示に比べ、行方向の解像度が低下するが、これは、対角が3～4インチ程度の液晶パネル11では、実際上、ほとんど問題とならない。

ここで、第7図を用いて、ノンインターレース方式の表示に於ける制御回路15の動作を説明す

方向の画素数分の出力端子を有する。各出力端子はそれぞれ液晶パネル11の行方向の電極線に接続されている。15は、端子14に印加される映像信号に含まれる水平同期信号に同期した水平駆動バルスHDや垂直同期信号に同期した垂直駆動バルスVDに従って、上記液晶パネル11を表示駆動するための各種タイミング信号を発生する制御回路である。

上記列方向の駆動回路12は、制御回路15から供給されるクロックX-SCKに従って、映像信号を順次サンプリングし、これを液晶パネル11の列方向の電極線に対して左側の電極線から順次供給する。この処理が1行分の電極線について終了すると、駆動回路12は水平同期バルスHDによってリセットされ、次の行に対して再び同じ処理を行なう。上記行方向の駆動回路13は、上記制御回路15から与えられるクロックY-SCKに従って、液晶パネル11の行方向の電極線を上から順次1本ずつ駆動する。これにより、駆動回路12でサンプリングされた映像信号は、水

る。なお、第7図は制御回路15の具体的構成を示す回路図である。

第7図に於いて、21はカウンタであり、水平駆動バルスHDが入力されるたびに1ずつカウントアップする。また、そのカウント値は、垂直駆動バルスVDが入力されるたびにリセットされる。したがって、そのカウント出力は、常に、1フィールドに於いて、現在走査している水平走査ラインが何H目の水平走査ラインであるかを示す。ここで、Hは水平走査期間を示す。

22はコンパレータである。このコンパレータ22は、上記カウンタ21のカウント出力と行方向の表示開始位置を示すデータVSDと比較し、両者が一致した時、一致検出バルスを出力する。これにより、コンパレータ22からは、カウンタ21がオーバースキャン分の水平走査ラインをカウントした後、一致検出バルスが得られることになる。

23は発振回路である。この発振回路23は、垂直同期バルスHDと同期をとりながら、上記上

記 X-SCK と同じ周波数のクロックを発生する。

24 はカウンタであり、発振回路 23 の出力クロックをカウント入力としてカウントアップする。また、このカウンタ 24 は水平駆動パルス HD によって、クリアされる。したがって、このカウンタのカント位置を監視することにより、1 水平走査期間の走査位置を管理することができる。

25 はコンパレータである。このコンパレータ 25 は、上記カウンタ 24 のカウント出力と行方向の表示開始位置を示すデータ HSD と比較し、両者が一致した時、一致検出パルスを出力する。これにより、コンパレータ 25 からは、カウンタ 24 がオーバースキャン分の画素数をカウントした後、一致検出パルスが得られることになる。

26, 27 はフリップフロップ回路 (FF) である。このフリップフロップ回路 26, 27 の Q 出力はそれぞれ、対応するコンパレータ 22,

24 から一致検出パルスが得られると、"H" レベルとなる。そして、この状態は、それぞれ垂直同期パルス VD 及び水平同期パルス HD によって

の制御回路 15 の構成は上述したようなものである。

ところで、最近、液晶パネル 11 の製造技術の向上により、対角 6 ~ 10 インチ程度の比較的大画面の液晶パネル 11 の製造が可能となってきた。この場合、通常のテレビジョン受像機では、行方向の画素数を 440 ~ 480 とすることで、NTSC 方式に於けるインターレース方式の表示が可能である。これにより、表示部としてブラウン管を使ったテレビジョン受像機並みの垂直解像度を実現することができる。

しかし、液晶パネル 11 を駆動して画像を表示する場合、ブラウン管内で電子ビームを走査して画像を表示する場合と異なり、最上部の行から 1 行おきに駆動するか、2 番目の行から 1 行おきに駆動するかを明確にする必要がある。つまり、フィールドごとの相関、いわば、奇数フィールドと偶数フィールドの判別が必要となる。もし、あるフィールドで m (m は正の整数) H 目の映像信号により n (n は正の整数) ライン目の行を駆動し、

クリアされる。つまり、フリップフロップ回路 26 の Q 出力は、垂直プランギング期間後の垂直表示開始タイミングで "H" レベルとなり、この状態を次の垂直プランギング期間まで保持する。同様に、フリップフロップ回路 27 の Q 出力は、水平プランギング期間後の水平表示開始タイミングで "H" レベルとなり、この状態を次の水平プランギング期間まで保持する。

28, 29 はアンド回路である。アンド回路 28 は、フリップフロップ回路 26 の Q 出力が "H" レベルの時、水平駆動パルス HD をクロック Y-SCK として通す。したがって、クロック Y-SCK は、垂直表示期間のみ出力される。アンド回路 29 は、フリップフロップ回路 26 の Q 出力が "H" の時、発振回路 23 の出力クロックをクロック X-SCK として通す。したがって、クロック X-SCK は、水平表示期間のみ出力される。これにより、駆動回路 12, 13 のマトリクス電極数分のクロックを出力することができる。

ノンインターレース方式の表示を実現するため

次のフィールドで m H 目の映像信号を $n-1$ ライン目の行を駆動した場合、前のフィールドと後のフィールドの絵が 1 ライン分食い違い、上下方向におかしな絵となる可能性がある。この様子を第 8 図 (a), (b) に示す。第 8 図 (b) は正常な画像を示し、同図 (a) は偶数行と奇数行に映像信号を逆に与えた場合を示す。

したがって、正確な絵を得るには、テレビジョン受像機に於けるフィールド間の H の駆動位置相関、または、フィールドの偶数、奇数の判別を正確に行なう必要があるが、この判別は、以下の理由により容易でないことが一般に知られているため、この判別により、上記問題を解決することは難しい。

(1) 家庭用のコンピュータ、文字多用放送、ビデオテックスシステムのアダプタ等のように、フレームメモリを用いた比較的低解像度の装置に於いては、ラインフリッカを低減する目的で、わざとインターレースを悪くしている。つまり、2 つのフィールド間に於いては、H が 1/2 ずれて

おらず、映像信号をほぼ同じタイミングで発生するものがある。

(2) 通常、上記水平同期パルスHD、垂直同期パルスVDは、映像信号から水平同期信号を分離することにより作られるが、弱電界等の悪条件では、垂直同期パルスVDを再生する同期分離部は大きな時定数の容量を用いているため、垂直同期パルスの発生タイミングが遅れる場合が多い。このため、垂直同期パルスHDと水平同期パルスVDとの位相関係を明確に定めることは不可能に近い。

(3) ビデオテープレコーダやビデオディスク等の特殊再生(早送り再生、巻戻し再生、静止画再生等)時は、再生信号に含まれる同期信号は、NTSC方式の標準的な同期信号とは、周期、位相が相違している。

また、液晶パネル11に駆動回路12、13や制御回路14を組み込んで液晶パネルモジュールを構成し、これを表示部としてブラウン管を有するテレビジョン受像機に接続することにより、ア

たり、液晶の劣化を招く恐れがある等の問題があった。

そこで、この発明は、液晶パネル等を使った表示部でインターレース走査を行なう場合であっても、常に正常な画像を表示することができるようになるとともに、液晶の劣化等を防ぐことができるマトリクス駆動表示装置を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

上記目的を達成するためこの発明は、正確なフィールド判別は不可能に近いため、これを行なうこととはせず、あるフィールドのm番目の水平走査時間が垂直同期パルスからどのくらいの時間遅れて現われたかを記憶し、そのフィールドでは、1ライン目から順次奇数ラインの行に映像信号を与え、次のフィールドでは、垂直同期パルスに従って偶数ラインの行に映像信号を供給するようにしたものである。

ランダム及び液晶パネルのいずれも使用可能な汎用性のあるシステムを考えた場合、ブラウン管を使ったテレビジョン受像機ではもともと水平同期パルスHD、垂直同期パルスの関係がまちまちであるため、どのセットのテレビジョン受像機にも、液晶パネルモジュールを接続することができるとは限らない。

また、液晶に映像信号を供給する場合、一定の周期で映像信号の極性を変えないと、液晶が劣化してしまうが、フィールドの判別を誤り、常に同じラインの行のみに映像信号を与えると、映像信号の極性を変えているにもかかわらず、この行には常に同じ極性の映像信号が与えられることになり、液晶が劣化してしまう。

(発明が解決しようとする問題点)

以上述べたように表示部として液晶パネル等を使ってインターレース走査を行なう場合、フィールドの判別を行なう必要があるが、この判別が難しいため、従来のマトリクス駆動表示装置に於いては、正常な画像を再生することができなくなつ

(作用)

上記構成によれば、1ライン目の行から始まって奇数ラインの行には、奇数フィールド、偶数フィールドのどちらの映像信号が供給されるかは定かではないが、2ライン目の行には必ず1ライン目の行の下に来るべき映像信号が次のフィールドで供給されることになる。したがって、奇数ラインと偶数ラインの絆の上下関係が逆になることがなく、正確な画像表示が可能となる。また、各行には、常に、1フィールドごとに極性の異なる映像信号が与えられることになるので、液晶の劣化も生じない。

(実施例)

以下、図面を参照してこの発明の実施例を詳細に説明する。

第1図はこの発明の一実施例の構成を示す回路図である。

第1図に於いて、31は液晶パネルである。32はこの液晶パネル31の列方向の画素を駆動する駆動回路で、各出力端子が液晶パネル31の

列方向の電極線に接続されている。この駆動回路32は後述する制御回路35から与えられるクロックX-SCKに従って映像信号をサンプリングし、液晶パネル31の列方向の画素分のサンプリングデータを得た時点で水平同期パルスHDによりリセットされる。33, 34は液晶パネル31の左右両側に設けられた行方向の駆動回路である。駆動回路33の各出力端子は、奇数ラインの行の電極線に接続されている。一方、駆動回路34の各出力端子は、偶数ラインの行の電極線に接続されている。また、駆動回路33は制御回路35から出力されるクロックY-SCK1に従って順次奇数ラインの行を駆動する。一方、駆動回路34は、制御回路35から出力されるSCK2に従って順次偶数ラインの行を駆動する。上記制御回路35は、あるフィールドに於いて、垂直同期パルスVDからm番目の水平走査期間以降の水平同期パルスHDを上記クロックY-SCK1として駆動回路33に供給する。また、この制御回路35は上記フィールドに於ける上記垂直同期パルスVDか上

記m番目の水平走査期間までの時間情報を検出してこれを保持する。そして、次のフィールドでは、この時間情報を従って、垂直同期パルスVDから(m+1)番目の水平走査期間以降の水平同期パルスHDを上記駆動回路34に上記クロックY-SCK2として供給する。したがって、クロックY-SCK1が出力されるフィールドでは、奇数行の画素に映像信号が与えられる。一方、クロックY-SCK2が出力されるフィールドでは、偶数行の画素に映像信号が与えられる。これにより、液晶パネル31はインターレース走査されることになる。

第2図に上記制御回路35の具体的構成を示す。

第2図に於いて、41はカウンタであり、水平周波数1Hの8倍の周波数を有するクロックCKをカウント用クロックとし、垂直同期パルスVDによってフィールドごとにリセットされる。42はコンバレータであり、上記カウンタ41のカウント出力を一方入力Aとし、後述するセレクタ43の選択出力を他方入力Bとして両者が一致し

たとき、“L”レベルとなる一致検出パルスを出力する。上記セレクタ43は、2つの入力A, Bのうち、選択制御入力SELが“L”レベルのときは一方の入力Aを選択し、“H”レベルのときは他方の入力Bを選択する。そして、この選択出力を上記コンバレータ42に他方の入力Bとして供給する。ここで、セレクタ43の他方の入力Bは固定値であり、10進で例えば“8”に設定されている。44はラッチ回路であり、入力としては、上記カウンタ41のカウント出力が供給されている。

45はフリップフロップ回路であり、クロック入力として上記コンバレータ42の一一致検出パルスが供給されている。したがって、このフリップフロップ回路45は、カウンタ41のカウント出力とセレクタ43の選択出力が一致してから、カウンタ41が1だけカウントアップし、一致検出パルスが“L”レベルから“H”レベルに切り変わったタイミングで“H”レベルのD入力をラッチし、これを出力する。そして、この状態は、垂

直同期パルスVDによってリセットされる。46もフリップフロップ回路である。このフリップフロップ回路46は、垂直同期パルスVDをインバータ48で反転したパルスをクロック入力とし、そのD出力をD入力とする。これにより、このフリップフロップ回路46は、垂直同期パルスVDが入力されるたびに出力が反転する。また、このフリップフロップ回路46のD出力は、さらに、上記セレクタ43の選択制御出力として使われる。したがって、このセレクタ46の選択出力は、垂直同期パルスVDが入力されるたびに切りえられる。47もフリップフロップ回路である。このフリップフロップ回路47は“H”レベルの信号をD入力とし、垂直同期パルスVDの反転出力をクリア入力としているため、クロック入力があるたびにQ出力が“H”レベルとなり、この状態は、垂直同期パルスVDが出力されるたびにリセットされる。このフリップフロップ回路47のQ出力は、上記ラッチ回路44のにラッチパルスとして与えられる。したがって、このラッチ回路44の

ラッチデータは、垂直同期パルスVDが出力されるたびに更新される。

49はアンド回路である。このアンド回路49は、フリップフロップ回路45のQ出力が“H”レベルのとき、水平同期パルスHDを出力する。したがって、アンド回路49は、コンバレータ42から一致検出パルスが得られた後、カウンタ41のカウント出力が“1”だけアップして次に垂直同期パルスVDが出力されるまで水平同期パルスHDを出力する。50, 51もアンド回路である。これらアンド回路50, 51はともに上記アンド回路49の出力を一方入力とし、他方入力としては、アンド回路50は、上記フリップフロップ回路46のQ出力を、アンド回路51は同じくQ出力を与えられる。これにより、アンド回路49の出力は、フリップフロップ回路46の出力の極性いかんにかかわらず、アンド回路50あるいは51のいずれか一方から出力される。すなわち、フリップフロップ回路46のQ出力が“H”レベルであれば、アンド回路49の出力はアンド

回路50から出力され、Q出力が“H”レベルであれば、アンド回路51から出力される。アンド回路50の出力がクロックY-SCK1であり、アンド回路51の出力をクロックY-SCK2である。

52はインバータである。このインバータ52は上記アンド回路49の出力を反転してフリップフロップ回路47にクロック入力として供給する。これにより、フリップフロップ回路49は、垂直同期パルスVDの反転出力によってリセットされた後の最初の水平同期パルスHDのタイミングでセット状態とされ、この状態を次に垂直同期パルスVDが出力されるまで保持する。

上記構成に於いて第3図及び第4図のタイミングチャートを参照しながら動作を説明する。

第3図は、フリップフロップ回路46のQ出力が“H”レベルにある状態に於いて、垂直同期パルスVDが入力され、その立ち下がりのタイミングでフリップフロップ回路46のQ出力の極性が反転した状態を示すものである。この垂直同期パル

スVDの入力によりカウンタ41のカウント出力は“0”に設定される。そして、この状態よりクロックCKをカウントすることにより、1, 2, 3…とカウントアップしていく。また、フリップフロップ回路46のQ出力が“H”レベルであるため、セレクタ43はB入力である“B”が出力される。これにより、カウンタ41の出力が“8”になったとき、コンバレータ42の出力は“L”になる。そして、次の9番目のクロックCKにより、カウンタ41のカウント出力が“9”になると、コンバレータ42の出力は“H”に戻る。このコンバレータ42の出力の立上がりのタイミングで、フリップフロップ回路45に“H”レベルのデータがラッチされるので、水平同期パルスHDがアンド回路49を通る。そして、アンド回路49を最初に通過した水平同期パルスHDの立ち下がりのタイミングで、フリップフロップ回路47のQ出力が“H”レベルになる。このQ出力の立上がりのタイミングでカウンタ41のカウント出力がラッチ回路44にラッチされる。第3図

では、カウント値“14”がラッチされる。以降、次の垂直同期パルスVDが出力されるまでは、アンド回路49より水平同期パルスHDが出力される。この時、フリップフロップ回路46のQ出力が“H”レベルにあるから、アンド回路49から出力される水平同期パルスHDは、アンド回路50からクロックY-SCK1として出力される。この時、アンド回路51の出力は“L”レベルのままである。

第4図は第3図の状態から次の垂直同期パルスVDが入力された状態を示すものである。

まず、この垂直同期パルスVDにより、カウンタ41、フリップフロップ回路45, 47がリセットされる。また、フリップフロップ回路46のQ出力は反転して“H”レベルとなる。これにより、セレクタ43はA入力であるラッチ回路44のラッチデータを選択する。したがって、コンバレータ42からは、カウンタ41のカウント出力が“14”になったとき、一致パルスが出力される。これにより、これ以降の水平同期パルスHD

がアンド回路49を通過。そして、この水平同期パルスHDは今度は、アンド回路51からクロックY-SCK2として出力される。この時、アンド回路50の出力は“L”レベルである。また、ラッピング回路44には“18”ラッピングされるが、次のフィールドでは、セレクタ43は固定アドレスデータ“8”を選択するので、第3図の動作がなされる。

以上述べたように、アンド回路50からは、垂直同期パルスVDの立ち下がりタイミングから一定時間（ここでは、水平周波数1Hのパルスのパルス幅、つまり、カウント41のカウント値が“8”）経過後に水平同期パルスHDを出力され、次のフィールドでは出力されない。一方、アンド回路51からは、アンド回路50から水平同期パルスHDが出力されているフィールドでは水平同期パルスHDは出力されず、次のフィールドに於いて、アンド回路50から最初に水平同期パルスHDが出力されるタイミングよりは遅いタイミングで、水平同期パルスHDが出力される。この時、

偶数フィールドで、映像信号が供給される行が反対になることがある。この場合、1H分縞が上下にずれるが、これは、チャンネル切換え、ビデオテープレコーダでの再生から早送りへの切換え、入力信号の切換え時等、全く違う映像信号が入力される場合であるから問題はない。

以上この発明の一実施例を詳細に説明したが、この発明はこのような実施例に限定されるものではなく、他にも、発明の要旨を逸脱しない範囲で種々様々変形実施可能なことは勿論である。

【発明の効果】

以上述べたようにこの発明によれば、液晶パネル等のマトリクス状表示部をインターレース走査する場合に、画像を正常に表示することができ、表示部としてブラウン管を用いた装置並の解像度の実現に寄与することができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例の構成を示す回路図、第2図は第1図に示す制御回路35の具体的構成の一例を示す回路図、第3図及び第4図は第

アンド回路50からは、水平同期パルスHDは出力されない。

よって、1フィールドで考えた場合、クロックY-SCK2の方がY-SCK1の方よりも遅いタイミングで出力される始める。

第5図に、垂直同期パルスVDとクロックY-SCK1, Y-SCK2の関係を示す。

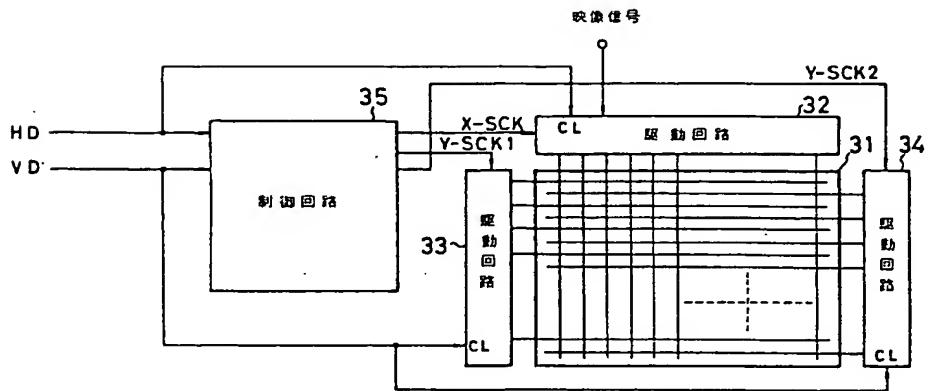
以上述べたこの実施例によれば次のような効果がある。

前にも説明したように、この発明は、奇数フィールドと偶数フィールドを判別することを目的としているのではないので、奇数行の画素に偶数フィールドの映像信号が供給されることもある。しかしながら、次のフィールドでは、必ず、1ライン下の行より映像信号が供給されるので、先の第8図(b)に示すように、縞がおかしくなることはない。また、同期が連続している限りはこの状態を続けることができるので、画像を安定に表示することが可能である。但し、同期がチャンネル切換えで不連続になった時は、奇数フィールドと

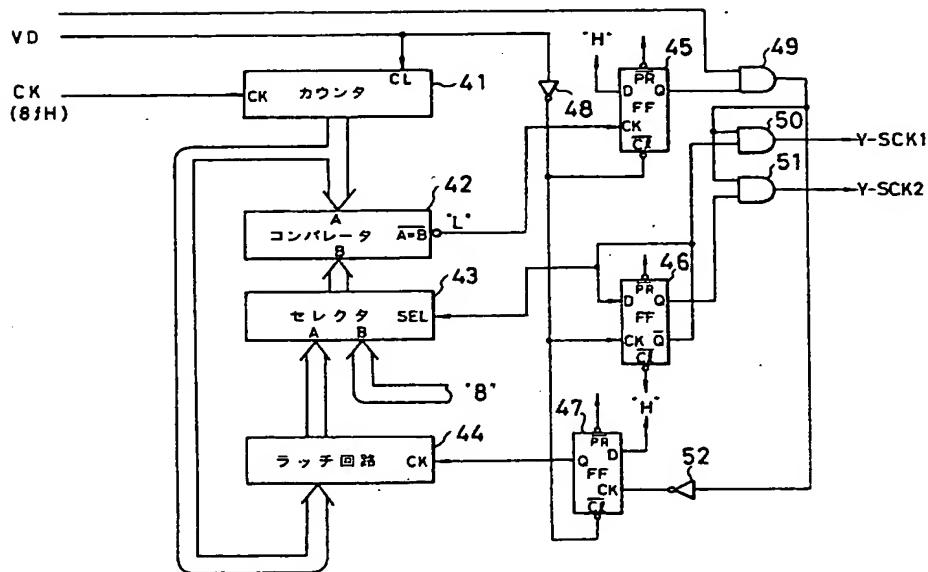
2図の動作を説明するためのタイミングチャート、第5図は第1図の動作を説明するためのタイミングチャート、第6図は従来のマトリクス駆動表示装置の全体的な構成を示す回路図、第7図は第6図に示す制御回路15の具体的構成のを示す回路図、第8図は従来の問題を説明するための図である。

31…液晶パネル、32, 33, 34…駆動回路、35…制御回路、41…カウンタ、42…コンバーラー、43…セレクタ、44…ラッピング回路、45, 46, 47…フリップフロップ回路、48, 52…インバータ、49, 50, 51…アンド回路。

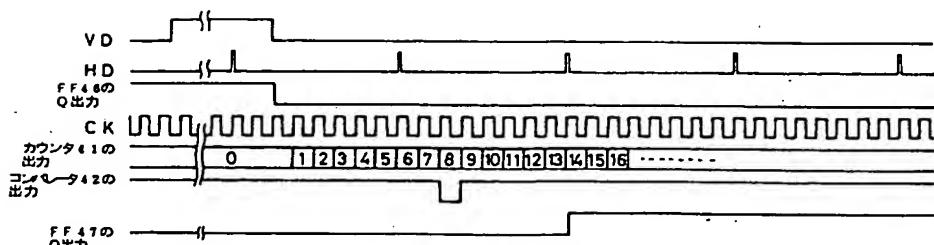
出願人代理人 弁理士 鈴江武彦



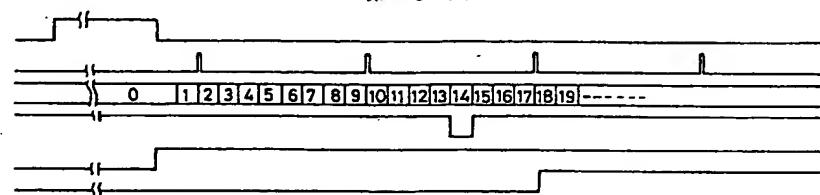
第 1 図



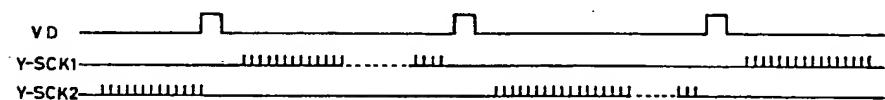
第 2 図



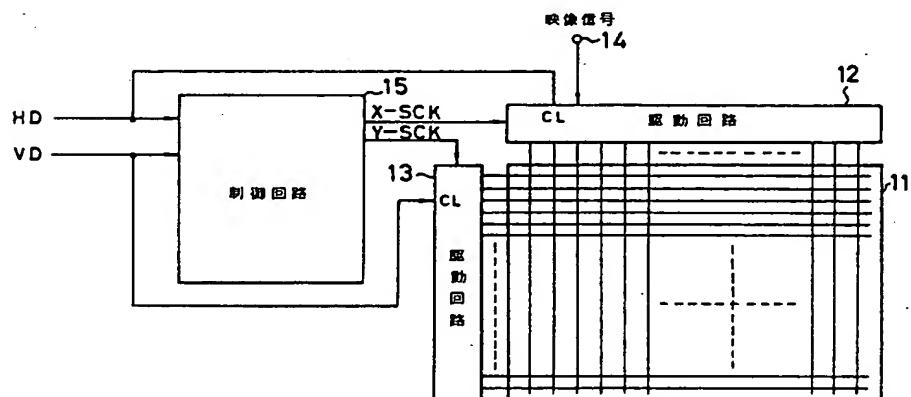
第3図



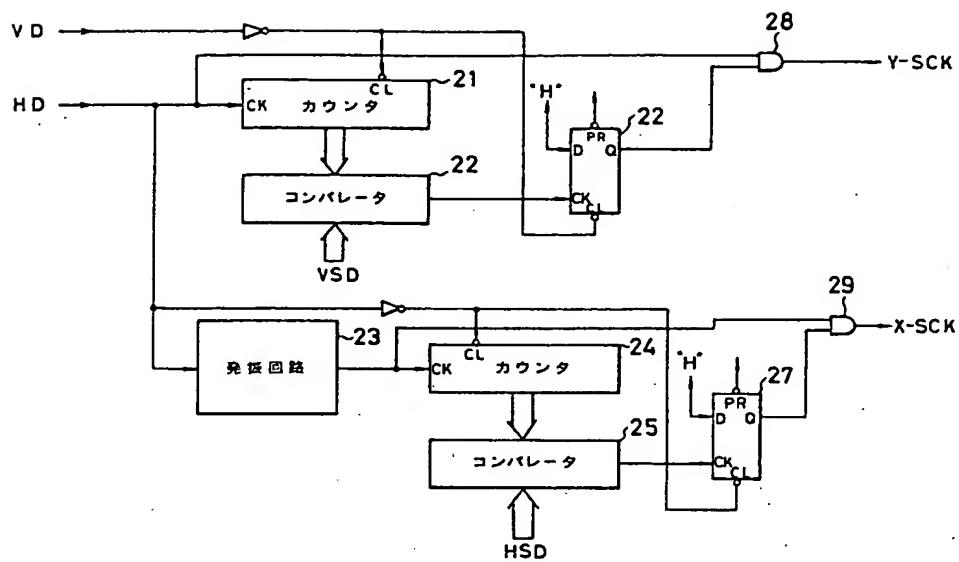
第4図



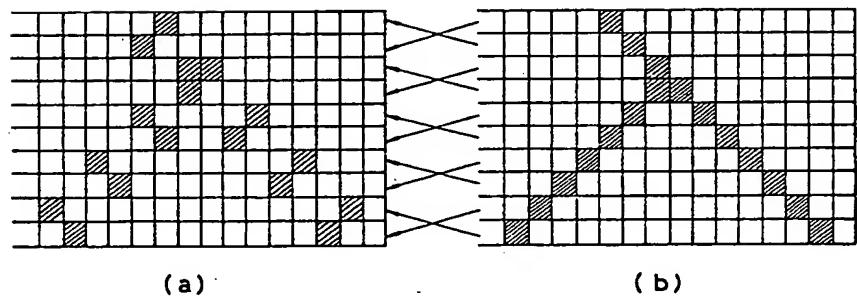
第5図



第6図



第 7 図



第 8 図